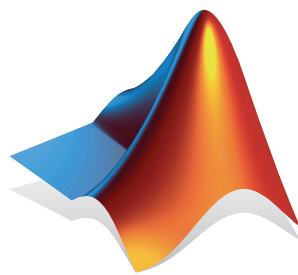


利用MATLAB® and Simulink®演算法進行FPGA原型開發的最佳實務



隨著現今FPGA和ASIC複雜度的日益增加，工程師發現僅使用HDL模擬器進行驗證，將無法有效而及時地全面測試系統層級的設計要求。

現今許多工程師使用FPGA來加速演算法和原型化，使用FPGA處理大量測試資料，讓工程師在現實世界的情況下，快速進行演算法與架構間的權衡評估(tradeoffs)及設計測試，而不須耗費大量時間在HDL模擬器上。系統層級設計和驗證工具諸如MATLAB®和Simulink®，則能幫助工程師們瞭解在FPGA上快速原型化其演算法的益處。

本文介紹了利用MATLAB和Simulink進行FPGA原型開發所採用的模型化基礎設計(Model-Based Design)最佳實務。最佳實務詳列如下，並表示於圖1當中。

- (1) 在初期設計階段，分析定點數的量化效應，並最佳化字元長度，以產生更小、更省電的實現結果。
- (2) 使用自動產生HDL程式碼技術，更快速地原型化FPGA設計。
- (3) 可重覆使用之系統層級與HDL協同模擬測試平台，以系統層級矩陣分析HDL的實現結果。
- (4) 可重覆使用之HDL驗證與協同模擬的系統層級測試平台，加速FPGA迴圈(FPGA-in-the-loop)模擬的驗證。

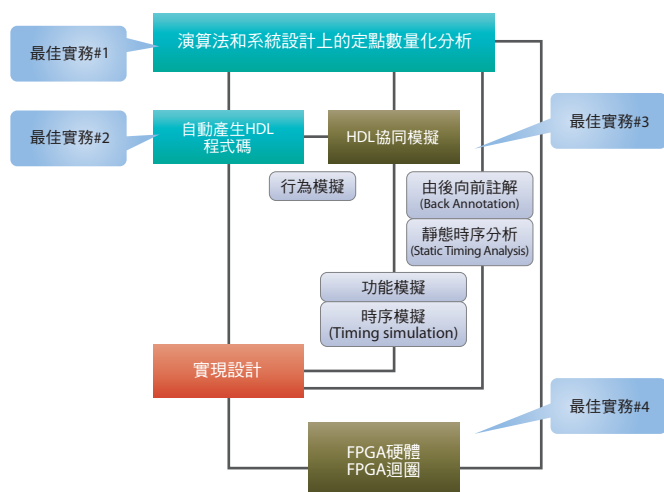


圖1：模型化基礎設計(Model-Based Design)用於FPGA原型開發的最佳實務

為什麼要在FPGAs上進行原型化設計

在FPGA上原型化演算法可增強演算法在實際環境付諸實現的可信度。除了測試向量和情境式模擬的速度優勢外，工程師還可以使用FPGA原型來演練軟體功能性和合宜的系統層級功能，例如射頻(RF)和類比子系統。

更甚者，由於FPGA原型的執行速度更快，更大量的資料被使用，因而得以發現許多在模擬模型上不易發現的潛在錯誤(bugs)。

使用模型化基礎設計 (Model-Based Design) 產生HDL程式碼，使團隊產生第一個原型的速度比手動的工作流程來得快，如圖2所示。此外，這種方法讓工程師不需等到實現階段，即能在系統層級變更其演算法，因而加速硬體疊代(iterations)的次數。

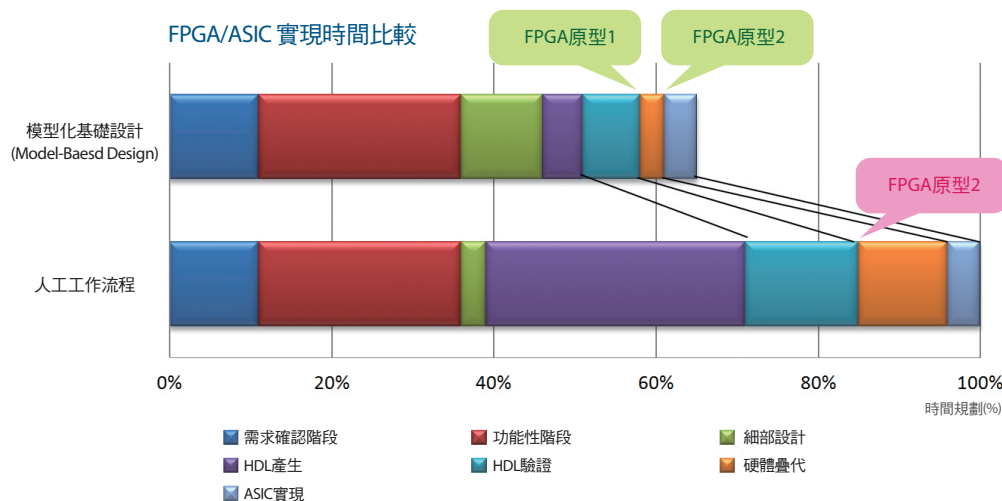


圖2-模型化基礎設計(Model-Based Design)和手動工作流程應用於FPGA原型化和ASIC實現的時間比較

數位中頻降頻器 (Digital Down Converter, DDC)研究個案

為了說明如何採用模型化基礎設計 (Model-Based Design) 進行FPGA原型化，我們以數位中頻降頻器 (Digital Down Converter, DDC) 為實際研究例子。數位中頻降頻器是許多通訊系統（見圖3）中常見的建構模塊，輸入端—即高帶通 (high-rate passband) 之轉換需要耗費大量運算資源才能運行，將之轉換為低速率基頻帶輸出，以較低運算密集之數位訊號處理(DSP)演算法即能運行。

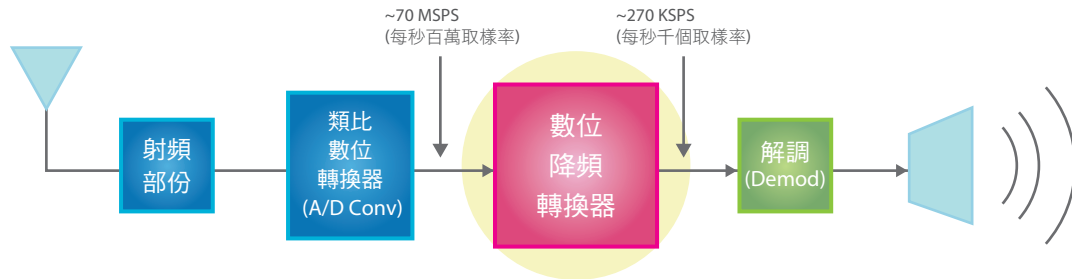


圖3：數位中頻降頻器 (Digital Down Converter, DDC) 導入於通訊系統

數位中頻降頻器之主要元件：(見圖4)

- 數值控制振盪器 (Numerical Controlled Oscillator; NCO)
- 混波器 (Mixer)
- 數位濾波器鏈(Digital Filter Chain)

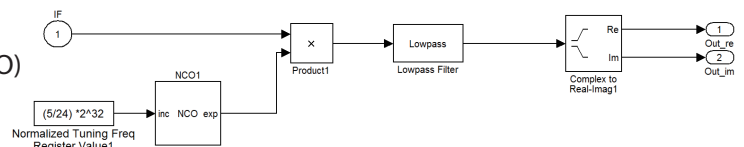


圖4：數位中頻降頻器(Digital Down Converter, DDC)的系統模型

最佳實務第1條—在初期設計階段分析定點數的量化效果

工程師在測試新構想和開發早期演算法時通常使用浮點數的資料型態，然而，FPGAs和ASICs的硬體實現，需先轉換為定點數的資料型態，此過程往往會產生量化誤差。在手動工作流程裡，通常是在HDL編碼過程中量化定點數，在此過程中，工程師在比較定點數能呈現多少浮點數參考值時不但不容易計算出定點數的量化效應，也難以分析出實現HDL時發生的溢位誤差。

為做出判斷所需小數位元長度的明智決策，工程師們需要一種能在HDL編碼過程之前，能比較浮點數與定點數的模擬結果的方法，增加小數位元長度雖可以降低量化誤差，但這也意味著字元長度的增加（需要更多區塊和更多的功耗）。

如圖5清楚呈現在數位中頻降頻器的濾波器鏈中第1階段低通濾波器(Low-Pass Filter)的浮點和定點模擬的結果差異。這些差異來自於定點數的量化。上圖同時顯示浮點和定點模擬結果重疊的部份。由下圖數據顯示每一個點的量化誤差。根據設計規格，工程師需要增加小數位元的長度以減少可能引起的量化誤差。

除了小數位元長度的選擇，工程師必須最佳化字元長度，以達到低功耗和優異面積效率(area-efficient)的設計。

在這個數位中頻降頻器實際例子，Simulink定點數模塊工具(Simulink Fixed Point)可以減少部分數位濾波器鏈的字元長度，最多到8位元（見圖6）。

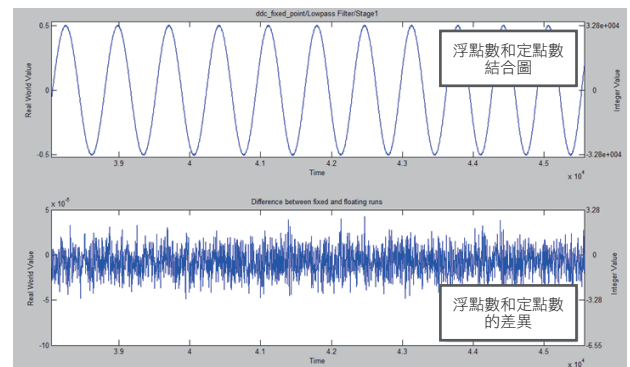


圖5：利用Simulink Fixed Point(Simulink定點模塊組)計算定點數的量化效果

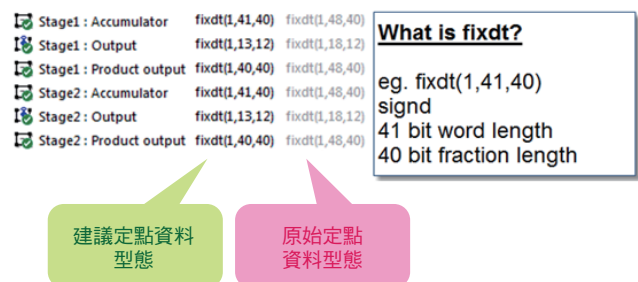


圖6：利用Simulink定點數模塊工具最佳化定點資料型態

最佳實務第2條—使用自動產生HDL程式碼技術，更快速地原型化FPGA設計

進行FPGA原型化需仰賴HDL程式碼，傳統上，Verilog或VHDL程式碼都以人工編撰；而直接使用Simulink硬體描述語言轉碼器（HDL Coder™）自動產生HDL程式碼則是另一個替代方法，提供許多重要好處。工程師可以：

- 快速評估演算法之硬體實現結果
- 迅速衡量各種演算法的實現結果以選出最佳設計。
- 更快地將演算法原型化於FPGAs上

就上述數位中頻降頻器的實際例子，在55秒內可產生5780行的HDL程式碼，該程式碼是可讀而且是工程師容易理解的（見圖7）；自動產生程式碼讓工程師能更改系統層級的模型，且在幾分鐘內即可再重新產生新的HDL程式碼，更新實現結果。

```
BEGIN
-- Count limited, Unsigned Counter
-- Initial value = 0
-- step value = 1
-- count to value = 119
--
-- <S22>/Counter Limited
Counter_Limited_process : PROCESS (clk)
BEGIN
IF clk'EVENT AND clk = '1' THEN
IF reset = '1' THEN
Counter_Limited_count <= to_unsigned(0, 8);
ELSIF enb = '1' THEN
IF Counter_Limited_count = 119 THEN
Counter_Limited_count <= to_unsigned(0, 8);
ELSE
Counter_Limited_count <= Counter_Limited_count + 1;
END IF;
END IF;
END IF;
END PROCESS Counter_Limited_process;
Counter_Limited_out1 <= Counter_Limited_count;
-- <S22>/1-D Lookup Table
alpha1_D_Lookup_Table_k <= to_signed(0, 31) WHEN Counter_Limited_out1 <= 0 ELSE
to_signed(119, 31) WHEN Counter_Limited_out1 >= 119 ELSE
signed(resize(Counter_Limited_out1, 31));
alpha1_D_Lookup_Table_out1_re <= table_data_re(to_integer(alpha1_D_Lookup_Table_k));
alpha1_D_Lookup_Table_out1_im <= table_data_im(to_integer(alpha1_D_Lookup_Table_k));
```

圖7：利用Simulink硬體描述語言轉碼器(HDL Coder™)產生HDL程式碼範本

最佳實務第3條—可重覆使用之HDL驗證與協同模擬的系統層級測試平台

HDL協同模擬的功能，讓工程師可重覆使用Simulink模型驅動激勵(stimuli)到HDL模擬器，並交互執行系統層級模擬分析輸出結果（如圖8）。

HDL 協同模擬

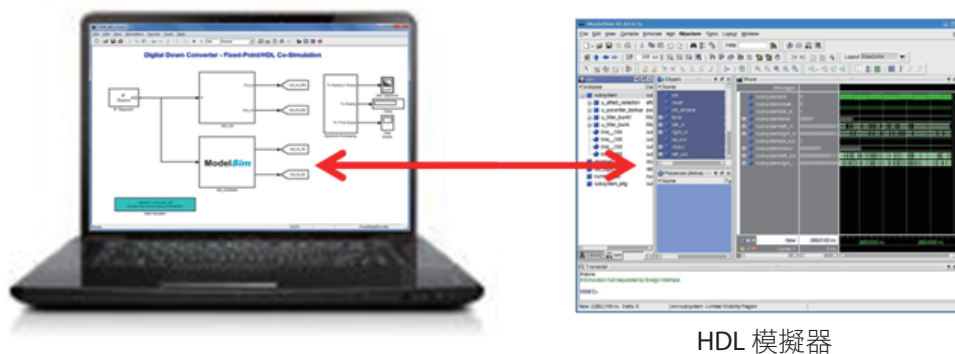


圖8：Simulink和ModelSim之HDL協同模擬圖

相較於HDL模擬僅提供數位波形的輸出，HDL協同模擬不僅提供完整的HDL程式碼檢視，而且也能隨時利用Simulink進行全套系統層級的分析，

當發現預期結果和HDL模擬結果有差距時，協同模擬能協助工程師更快了解兩者無法適配的系统層級效應。

例如，圖9所示，工程師可從頻譜範圍分析圖做出分析判斷，兩者不適應係因止帶(stopband)的差異造成，因此可忽略HDL模擬與預期結果不適應的事實；相反地，數位波形輸出只點出HDL模擬結果和預期不適應的錯誤，工程師或許最終也能獲致相同結論，但卻需要更多時間來完成所需的分析。

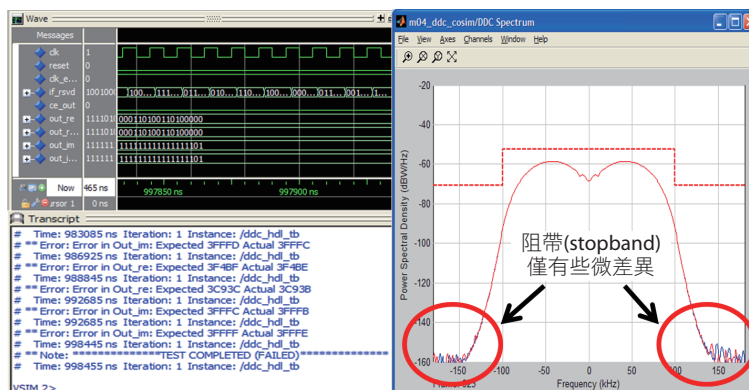


圖9：使用特定領域範圍分析系統層級矩陣

最佳實務第4條－加速FPGA迴圈(FPGA-in-the-loop)模擬的驗證

經過HDL模擬或HDL協同模擬驗證之後，數位中頻降頻器現在就準備可以轉檔應用在FPGA目標平台上了，以FPGA為基礎的驗證--也稱之為FPGA迴圈 (FPGA-in-the-loop) 模擬演算法，它可提昇演算法實現於真實世界可能性的信心度，比起傳統的HDL模擬，工程師能更快速測試各種組合。

針對數位中頻降頻器演算法，Simulink模型被用於驅動FPGA的輸入激勵(stimuli)和分析FPGA的輸出（見圖10）。同時，HDL協同模擬的結果亦能在Simulink環境中進行分析。

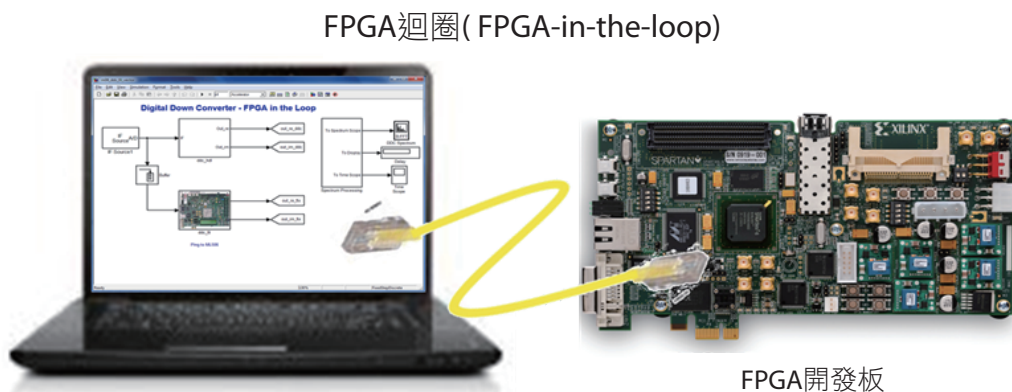


圖10：利用Simulink和FPGA硬體進行FPGA迴圈(FPGA-in-the-loop)模擬

從該例得知，FPGA迴圈 (FPGA-in-the-loop) 模擬的速度是HDL協同模擬的23倍快。這個速度讓工程師能夠執行更廣泛的測試設定，並能進行設計的迴歸測試，同時確認潛在問題並加以詳細分析。

反觀速度較慢的HDL協同模擬，提供了更多HDL程式碼的視覺表現，適合就FPGA迴圈(FPGA-in-the-loop)模擬過程中發現的問題加以進行深度分析。

驗證方法	模擬效能	顯現HDL程式碼	系統層級分析
HDL協同模擬	46秒	+	+
FPGA迴圈	2秒	-	+

表1：數位中頻降頻器設計驗證方法的比較

總結

遵循本文闡述的四個最佳實務，與以往傳統的、手動工作流程相比，工程師能更具信心、更快速度開發FPGA原型；此外，往後工程師可透過開發和快速產生實現FPGA的程式碼持續改善模型，比起傳統工作流程人工編撰HDL，可大幅縮短反覆設計(design iterations)。欲了解更多有關本文描述的工作流程，請至Mathworks網頁下載ASIC設計技術套裝文件：

http://www.mathworks.com/programs/techkits/techkit_asic_response.html

最專業的MATLAB技術支援及服務團隊－鈦思科技

 **TeraSoft** 鈦思科技
www.terasoft.com.tw

■ 台北總公司 Head Office

115 台北市忠孝東路六段21號8樓之3
8F-3, No.21, Sec. 6, Jhongsiao E. Rd.,
Taipei 115 Taiwan, R.O.C
Tel : (02)2788-9300
Fax : (02)2788-9308

■ 新竹 Hsinchu Office

302 竹北市復興一街 251 號 13 樓之 6
13F-6, No.251, Fuxing 1st St., Jhubei City,
Hsinchu County 302, Taiwan, R.O.C
Tel : (03) 550-5590
Fax : (03) 550-5591

■ 台南 Tainan Office

710 台南市永康區中華路 1-31 號 8 樓
8F., No.1-31, Jhonghua Rd., Yongkang District,
Tainan City 710, Taiwan, R.O.C.
Tel : (06) 313-6725 ; (07)361-5308
Fax : (06) 313-6704